

Energy saving device used when a central processor unit does not process execution

The invention provides an energy saving device used when a central processor unit (CPU) does not process execution. The power device of an electronic device is divided into two portions. When the CPU is in operation, high voltage and high frequency are provided and the power is fully supplied. When the CPU does not process execution, low voltage and low frequency are provided. Because the power is divided into two portions, only a portion is utilized to provide low voltage and low frequency, achieving the objective of saving energy. Additionally, data stored in the memory can be protected.

四、中文創作摘要 (創作之名稱：中央處理單元不執行指令時之省電設計裝置)

本創作提供一種中央處理單元不執行指令時之省電設計裝置，將電子產品的電源 (POWER) 裝置區分為二部份，當 CPU 工作時，給予高電壓及高頻率，並動用全部之電源；惟當 CPU 不執行指令時，則令其只供應低電壓及低頻率；由於電源已區分為二部份，可以利用其中之一部份供電，即可維持低電壓及低頻率，以達到確實節省能源之目的，且不使存放之記憶資料喪失者。

英文創作摘要 (創作之名稱：

附註：本案已向

國 (地區) 申請專利，申請日期：

案號：

附件

中華民國專利公報 (19)(12)

(11)公告編號: 171079

(44)中華民國80年(1991)10月11日

新 型

全 2 頁

(51)Int. C 5: 006F3 / 02

(54)名 稱: 中央處理單元不執行指令時之省電設計裝置

(21)申 請 案 號: 80210263

(22)申請日期: 中華民國80年(1991)08月20日

(72)創 作 人:
廖順源

台北市士林區後港街六十六號

(71)申 請 人:
英業達股份有限公司

台北市士林區後港街六十六號

(74)代 理 人: 譚軼群 先生 蔡坤財 先生

1

(57)申請專利範圍:

1. 一種中央處理單元不執行指令時之省電設計裝置, 包括:
 - 一振盪裝置, 該振盪裝置係可輸出高頻與低頻兩種狀態;
 - 一電源裝置, 該電源裝置係可輸出高壓與低壓兩種狀態;
 - 一邏輯電路裝置, 該邏輯電路裝置係連接上述之振盪裝置, 以判斷該振盪裝置係輸出高頻振盪; 抑或低頻振盪者; 以及
 - 一中央處理單元, 該中央處理單元設有一選擇線, 該選擇線同時連接上述之電源裝置與邏輯電路裝置, 使該控制中心在工作時, 藉由該選擇線輸出一指引信號至該電源裝置, 以使該電源裝置提供該中央處理單元一高電壓; 且該指引信號同時輸入該邏輯電路裝置, 由該邏輯電路判斷以使該振盪裝置提供該中央處理單元一高頻振盪者; 反之, 當該中央處理單元不工作時, 使該電源裝置提供一低電壓, 及使該振盪裝置提供一低頻振盪者。

2

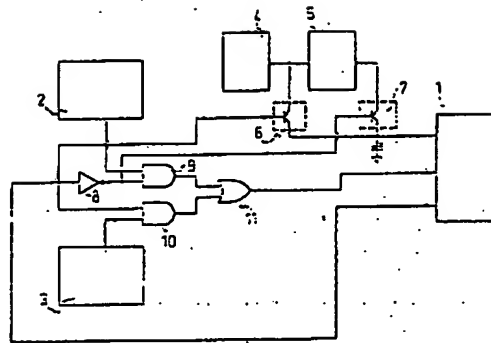
2. 如申請專利範圍第1項所述之一種中央處理單元不執行指令時之省電設計裝置, 其中該振盪裝置, 在本實施例中, 係分設一低頻振盪器及一高頻振盪器, 以輸出低頻振盪或高頻振盪者。
3. 如申請專利範圍第1項所述之一種中央處理單元不執行指令時之省電設計裝置, 其中該電源裝置, 在本實施例中, 係以二個電池配合二個電晶體作ON/OFF開關, 達成輸出高電壓或低電壓者。
4. 如申請專利範圍第1或2項所述之一種中央處理單元不執行指令時之省電設計裝置, 其中該邏輯電路裝置, 在本實施例中, 係以一反閘、二及閘、一或閘所組成, 以判斷抑制上述低頻振盪器/高頻振盪器的輸出, 而提供高頻振盪/低頻振盪者。

圖示簡單說明:

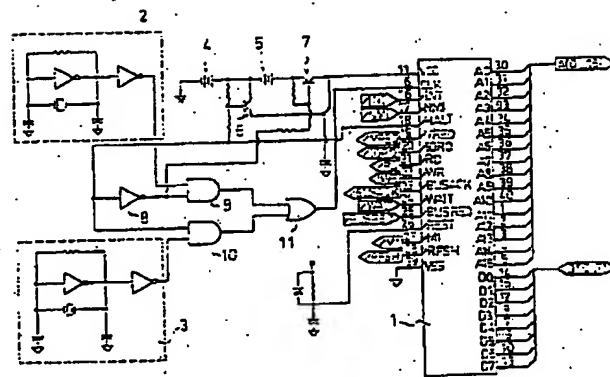
第一圖係本創作中央處理單元不執行指令時之省電設計裝置電路方塊圖

第二圖係本創作中央處理單元不執行指令時之省電設計裝置詳細電路圖

(2)



第一圖



第二圖